

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-220192

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

G01R 31/28  
G01R 31/317  
G06F 11/22

(21)Application number : 07-044804

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.02.1995

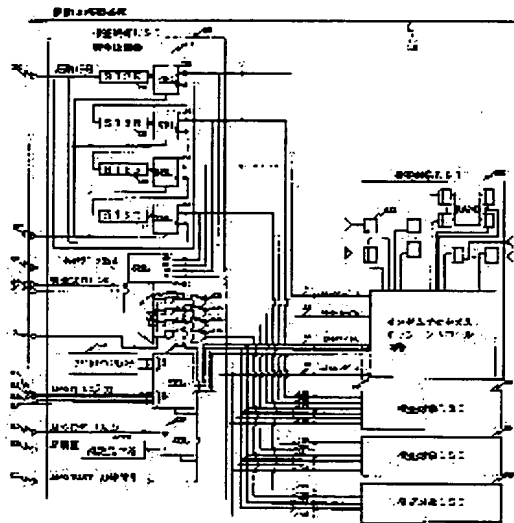
(72)Inventor : MATSUSHIMA JUN  
NISHIDA TAKAO  
KAGEYAMA NAOHIRO

## (54) BUILT-IN TYPE SELF-TEST LOGIC CIRCUIT

## (57)Abstract:

PURPOSE: To specify a failed LSI and to indicate a failed part in a substrate for mounting a plurality of LSIs and performing BIST control.

CONSTITUTION: A peculiar scan address is assigned to each FF152 in LSIs 102-105 to be inspected which can be scanned and data are read and written by a random access scan control circuit 151 under the control of an inspection control LSI 101. The inspection control LSI is provided with a scan control part and a BIST (built-in type self-test) control part and the BIST control part is provided with a pseudo random number generator 128, an address incrementer 121, and a code compressor 118 consisting of single input liner feedback registers (SISR) equivalent to the number of LSIs to be inspected. A pseudo random number is successively written into each flip flop at the time of scan-in and data are read from each flip-flop at the time of scan-out and are inputted to each corresponding SISR of the code compressor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 08-220192

(43)Date of publication of application : 30.08.1996

(51)Int.Cl.

G01R 31/28  
G01R 31/317  
G06F 11/22

(21)Application number : 07-044804

(71)Applicant : HITACHI LTD

(22)Date of filing : 09.02.1995

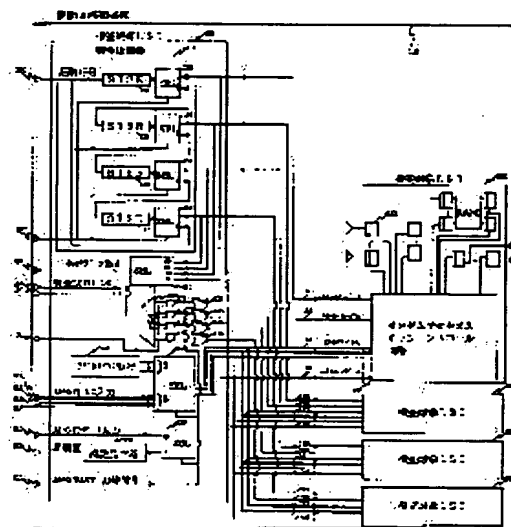
(72)Inventor : MATSUSHIMA JUN  
NISHIDA TAKAO  
KAGEYAMA NAOHIRO

## (54) BUILT-IN TYPE SELF-TEST LOGIC CIRCUIT

## (57)Abstract:

PURPOSE: To specify a failed LSI and to indicate a failed part in a substrate for mounting a plurality of LSIs and performing BIST control.

CONSTITUTION: A peculiar scan address is assigned to each FF152 in LSIs 102-105 to be inspected which can be scanned and data are read and written by a random access scan control circuit 151 under the control of an inspection control LSI 101. The inspection control LSI is provided with a scan control part and a BIST (built-in type self-test) control part and the BIST control part is provided with a pseudo random number generator 128, an address incrementer 121, and a code compressor 118 consisting of single input liner feedback registers (SISR) equivalent to the number of LSIs to be inspected. A pseudo random number is successively written into each flip flop at the time of scan-in and data are read from each flip-flop at the time of scan-out and are inputted to each corresponding SISR of the code compressor.



## LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's

decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平8-220192

(43) 公開日 平成8年(1996)8月30日

(51) Int.Cl. <sup>9</sup>	識別記号	庁内整理番号	F I	技術表示箇所
G 0 1 R 31/28			G 0 1 R 31/28	G
31/317			G 0 6 F 11/22	3 6 0 A
G 0 6 F 11/22	3 6 0		G 0 1 R 31/28	A
				Y

審査請求 未請求 請求項の数 3 F D (全 10 頁)

(21) 出願番号	特願平7-44804	(71) 出願人	000005108 株式会社日立製作所 東京都千代田区神田駿河台四丁目 6 番地
(22) 出願日	平成7年(1995)2月9日	(72) 発明者	松嶋 潤 神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内
		(72) 発明者	西田 隆夫 神奈川県秦野市堀山下1番地 株式会社日立製作所汎用コンピュータ事業部内
		(72) 発明者	影山 直洋 東京都国分寺市東恋ヶ窪1丁目280番地 株式会社日立製作所中央研究所内
		(74) 代理人	弁理士 笹岡 茂 (外1名)

(54) 【発明の名称】 組み込み型自己テスト論理回路

(57) 【要約】

【目的】 複数のLSIを搭載しBIST制御を行なう基板において、故障の発生したLSIを特定可能とし、故障が発生した個所を指摘可能とする。

【構成】 各検査対象LSI 102~105内の各FF 152は、固有のスキャンアドレスが割り当てられスキャン可能なFFであり、検査制御LSI 101の制御の下にランダムアクセススキャンコントロール回路151により、データの読み出し、書き込みが行なわれる。検査制御LSIは、スキャン制御部とBIST（組み込み型自己テスト）制御部を備え、BIST制御部は、疑似乱数発生器128と、アドレスインクリメンタ121と、検査対象LSI数の単一入力線形フィードバックレジスタ（SISR）からなる符号圧縮器118を備え、スキャンイン時、各フリップフロップに疑似乱数を順次書き込み、スキャンアウト時、各フリップフロップ内のデータを読み出し、前記符号圧縮器の対応する各SISRに入力する。

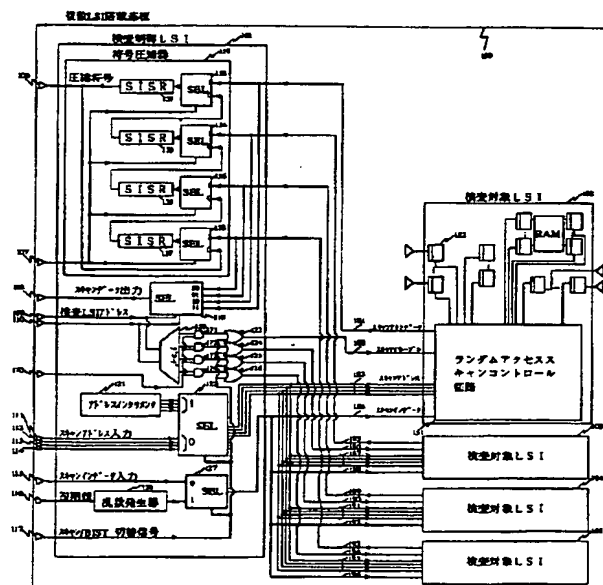


図1

1

## 【特許請求の範囲】

【請求項 1】 夫々が固有の検査 LSI アドレスを割り当てられた複数の検査対象 LSI と 1 つの検査制御 LSI を備える組み込み型自己テスト論理回路であって、前記各検査対象 LSI は、

固有のスキャンアドレスが割り当てられスキャン可能なフリップフロップであり、入出力ピンと内在する RAM の入出力ピン全てに付加されたフリップフロップおよび内在するフリップフロップと、デコーダを有し、与えられたスキャンアドレスによりフリップフロップを選択し、選択されたフリップフロップの読み出しまたは書き込みを行ない、

前記検査制御 LSI は、

スキャン制御部と BIST (組み込み型自己テスト) 制御部と該両制御部をスキャン/BIST モード切替信号により選択するセレクトを備え、

前記スキャン制御部は、外部より与えられるスキャンアドレスと検査対象 LSI アドレスにより検査対象 LSI の任意のフリップフロップを指定し、外部から与えられるスキャンインデータを書き込むスキャンインまたは指定されたフリップフロップ内のデータを読み出すスキャンアウトを行ない、

前記 BIST 制御部は、テストパターン用疑似乱数を発生する疑似乱数発生器と、テスト用クロックに従い順次スキャンアドレスを出力するアドレスインクリメントと、検査対象 LSI 数の単一入力線形フィードバックレジスタ (SISR) からなる符号圧縮器を備え、スキャンイン時、スキャンアドレスで指定される各検査対象 LSI のフリップフロップに前記疑似乱数を順次書き込み、

スキャンアウト時、スキャンアドレスで指定される各検査対象 LSI のフリップフロップ内のデータを読み出し、前記符号圧縮器の対応する各 SISR に入力することを特徴とする組み込み型自己テスト論理回路。

【請求項 2】 請求項 1 記載の組み込み型自己テスト論理回路において、

前記符号圧縮器は、1 つの制御入力により、全ての SISR のフィードバックループを切断し、全ての SISR への入力信号を阻止すると同時に、各 SISR を直列に接続し、かつ、1 番前段の SISR の出力と一番後段の SISR の入力を接続し、ループ状のシフトレジスタになるよう構成し、圧縮符合取り出し時に、内部データの破壊を防ぐ非破壊シフトループを備えるようにすることを特徴とする組み込み型自己テスト論理回路。

【請求項 3】 請求項 1 記載の組み込み型自己テスト論理回路において、

検査対象 LSI 数の単一入力線形フィードバックレジスタ (SISR) からなる符号圧縮器に替えて、複数の入力を、1 つのフィードバックループにより符号圧縮を行う多入力符号圧縮器 (MISR) を備え、該 MISR

2

は、1 つの制御入力より、MISR のフィードバックループを切断し、全ての入力信号を阻止し、ループ状のシフトレジスタを構成し、圧縮符合取り出し時に、内部データの破壊を防ぐ非破壊シフトループを備えるようにすることを特徴とする組み込み型自己テスト論理回路。

## 【発明の詳細な説明】

## 【0001】

【産業上の利用分野】 本発明は故障診断可能な論理回路に係り、特に多数の LSI を搭載する基板や多数の論理ブロックより構成される大規模な LSI、MCM (Multi Chip Module) 等の故障診断の高速化、故障解析の容易化を可能にする自己診断可能な論理回路に関する。

## 【0002】

【従来の技術】 大規模論理回路 (以下 LSI) の故障診断を容易にする技術として最も代表的なものに、全てのフリップフロップに値の設定読み出しを可能とする回路を付加するスキャン設計方式がある。スキャン設計により順序回路の状態遷移の複雑さを、パタン印加前の状態を考慮する必要のない組み合わせ回路にすることにより故障診断を容易にする。スキャン設計方式はシフトレジスタを用いて鎖状に接続されたフリップフロップに次々と値を設定していくシフトスキャンと、各フリップフロップに固有のアドレス決めておき、このアドレスにより選択されたフリップフロップに値を設定、読み出しするアドレススキャンに大別される。一般的にはシフトスキャンの方が単純な回路で設計可能であるが、一方ランダムアクセススキャンでは必要なフリップフロップの値だけを設定したり、読み出したするのに有利である。

【0003】 ここで、代表的なシフトスキャン回路である、LSSD について図 3 により説明する。ランダムアクセススキャン回路については、実施例 1 におけるランダムアクセススキャンコントロール回路により説明する。図 3 においてスキャンイン 322、システムクロック 324、シフトクロック C1 325、及び C2 326、スキャンアウト 327 はエッジピン、313~320 はフリップフロップである。スキャンインピン 322 から全フリップフロップを経由してスキャンアウトピンにいたるチェーンをスキャンチェーンと呼ぶ。各フリップフロップは 2 個 1 組で 2 相のクロックにより制御される、2 個 1 組のフリップフロップの前段のフリップフロップはシステムクロックとシフトクロック C1 の二つのクロックを有しており、システムクロックを入力した場合、論理回路 31.1 からデータを入力し、C1 クロックを入力した場合、スキャンチェーン側からデータを入力する。シフトクロック C2 を入力することにより、2 個 1 組のフリップフロップの前段のフリップフロップの値を後段のフリップフロップに取り込むことができる。テストデータのスキャンイン・アウト、つまり、スキャンチェーン中のデータの移動をする場合、C1 のクロック

3

クを入力し、スキャンインよりフリップフロップ313へデータが、フリップフロップ315、317、319はシフトチェイン前段のフリップフロップ314、316、318よりデータを取り込む、続いて、C2を入力すると、各組のフリップフロップのデータが後段のフリップフロップ314、316、318、320へ取り込まれ、論理回路312、スキャンアウトへ出力される。フリップフロップが論理回路からデータを取り込む、つまり、通常の動作の場合、システムクロック324を入力し、前段のフリップフロップにデータを論理回路311より取り込む、次にC2を入力すると、後段のフリップフロップにデータが取り込まれ、論理回路312へデータが出力される。

【0004】スキャン設計されたLSIを、より効率的に検査する方法として、テストのための実行制御回路を被テスト回路の内部に組み込んでテストを行う組み込み型自己テスト(Built In Self Test

以下BISTと略す。)がある。図2にBISTの概念図を示す。BISTではスキャン設計された被検査回路202とその被検査回路に大量のパターンを与えるための疑似乱数テストパターン発生器201、出力応答系列を圧縮し最終パターンでのみの比較で良否判定するための、パターン圧縮器203より構成される。通常パターン発生器、パターン圧縮器には線形フィードバックレジスタ(Liner Feedback Shift Register 以下LFSRと略す。)を用いる。LFSRを用いたパターン発生器では「全て0」を除く全てのパターンを疑似ランダム的に発生することが可能である。また、LFSRを用いたデータ圧縮方法をシグネチャ解析、圧縮用LFSRをシグネチャアナライザという。LFSRを利用した疑似乱数発生器の例を図4に、シグネチャアナライザの例を図5に示す。また、多くのLSIを搭載した基板では個々のLSIで乱数発生器、パターン圧縮器を持たずに、1つのBIST制御部で複数のLSIのBIST制御を行う方法がある。この場合乱数発生器パターン圧縮器等を複数用意しなくて良いため、ハードウェアオーバーヘッドが少ないという利点がある。

【0005】

【発明が解決しようとする課題】従来の技術で記述した、複数のLSIのBIST制御を同一基板上の一つのLSIで行う方法の場合、パターン圧縮器が1つのため故障のあるLSIを特定できないという欠点がある、これを、解決するために、基板上のLSIを個別にテスト検査するというのが考えられるが、この場合は、検査のための時間が多くかかるという問題が発生する。また、従来のLFSRを利用した符号圧縮器では一度中のデータを取り出すと、中のデータが破壊されてしまうため、中断して途中で良否判定し、その後続きのテストを行うことができない。単純に回路の良否の判定であれば、大

4

量のボタンで全てのテストを実行後、良否の判定のみでよいが、不良解析時などに膨大なBISTのテストボタン中のどの部分で故障が発生したかの解析を行うためには、ある程度ボタンまでを実行したところで、圧縮符号を取り出し、良否判定を行い、ここで不良が発見されれば、不良解析時に、解析するボタンを少ないテストボタンに限定可能である。しかし、この時点で不良が発見されない場合、検査結果を格納している符号圧縮器の内容が検査結果取り出しのために破壊されてしまうため、再び1番最初のボタンからの検査やり直しとなる。従来BISTでの不良解析では不良の発生したテストボタンを限定するためには、1番最初のボタンからの検査やり直しを何回も繰り返す必要があった。

【0006】本発明の目的は、複数のLSIを搭載しBIST制御を行なう基板において、故障の発生したLSIを特定可能とし不良解析を容易に行なえるようにすることにある。本発明の他の目的は、BISTの膨大なテストボタンにおいて、故障が発生した箇所を指摘可能とし、不良解析を容易にすることにある。

【0007】

【課題を解決するための手段】上記目的を達成するため、本発明は、夫々が固有の検査LSIアドレスを割り当てられた複数の検査対象LSIと1つの検査制御LSIを備える組み込み型自己テスト論理回路であって、前記各検査対象LSIは、固有のスキャンアドレスが割り当てられスキャン可能なフリップフロップであり、入出力ピンと内在するRAMの入出力ピン全てに付加されたフリップフロップおよび内在するフリップフロップと、デコーダを有し、与えられたスキャンアドレスによりフリップフロップを選択し、選択されたフリップフロップの読み出しまたは書き込みを行ない、前記検査制御LSIは、スキャン制御部とBIST(組み込み型自己テスト)制御部と該両制御部をスキャン/BISTモード切替信号により選択するセレクトを備え、前記スキャン制御部は、外部より与えられるスキャンアドレスと検査対象LSIアドレスにより検査対象LSIの任意のフリップフロップを指定し、外部から与えられるスキャンインデータを書き込むスキャンインまたは指定されたフリップフロップ内のデータを読み出すスキャンアウトを行ない、前記BIST制御部は、テストパターン用疑似乱数を発生する疑似乱数発生器と、テスト用クロックに従い順次スキャンアドレスを出力するアドレスインクリメントと、検査対象LSI数の単一入力線形フィードバックレジスタ(SISR)からなる符号圧縮器を備え、スキャンイン時、スキャンアドレスで指定される各検査対象LSIのフリップフロップに前記疑似乱数を順次書き込み、スキャンアウト時、スキャンアドレスで指定される各検査対象LSIのフリップフロップ内のデータを読み出し、前記符号圧縮器の対応する各SISRに入力するようにしている。さらに、前記符号圧縮器は、1つの制

5

御入力により、全てのSISRのフィードバックループを切断し、全てのSISRへの入力信号を阻止すると同時に、各SISRを直列に接続し、かつ、1番前段のSISRの出力と一番後段のSISRの入力を接続し、ループ状のシフトレジスタになるよう構成し、圧縮符合取り出し時に、内部データの破壊を防ぐ非破壊シフトループを備えるようにしている。また、検査対象LSI数の単一入力線形フィードバックレジスタ(SISR)からなる符号圧縮器に替えて、複数の入力を、1つのフィードバックループにより符号圧縮を行う多入力符号圧縮器(MISR)を備え、該MISRは、1つの制御入力より、MISRのフィードバックループを切断し、全ての入力信号を阻止し、ループ状のシフトレジスタを構成し、圧縮符合取り出し時に、内部データの破壊を防ぐ非破壊シフトループを備えるようにしている。

【0008】

【作用】上記手段により、複数LSIを搭載した基板においてBIST制御部分が1つにまとめられ、LSIの検査結果を格納する符合圧縮器が複数搭載されているので、故障の発生したLSIを特定することが可能になり、不良解析を容易にすることができる。また、複数の符合圧縮器を符合圧縮モード、データ取り出しモードの2つのモードで切り替え可能とし、データ取り出しモードのとき、全符合圧縮器で一つのループ状のシフトレジスタを形成し、データ取り出し後も符合圧縮器の内容の破壊を防止しているため、BISTの中断および継続実行が可能となり、BISTの膨大なテストパターンにおける故障箇所を検知することが可能となり、不良解析を容易にすることができる。

【0009】

【実施例】図1に1実施例を示す。基板上に複数の被検査LSI102～105と1つの検査制御を行うLSI101が搭載されている。これら、被検査LSIはランダムアクセススキャンコントロール回路151を付加したスキャン設計となっている。ここで使用しているランダムアクセススキャンコントロール回路を図6を用いて説明する。図6ではフリップフロップセル621～629(図1で代表して符号152を付して示すフリップフロップセルに対応する)を含んだ構成として示す。図6のランダムアクセススキャンコントロール回路のエッジピンはスキャン回路の入力としてスキャンインデータ601、スキャンイネーブル602、スキャンアドレス604～607、スキャン回路の出力として、スキャンアウトデータ608、他にLSIのクロック入力のエッジピン609、610がある。また、内部の構成は主に、アドレスデコーダ660とフリップフロップセル621～629である。回路は、通常動作とスキャン動作の2つの動作モードがある、この動作モードを選択するのがスキャンイネーブル602である。スキャンイネーブル602が‘0’の時通常モード、‘1’の時スキャンモ

6

ードで動作する。

【0010】スキャンモードの時スキャンインデータ601よりスキャンインする値を入力する、また、スキャンアドレス603～606より値を設定するフリップフロップのアドレスを入力する。この状態で、クロック1609を入力するとスキャンアドレスの示すフリップフロップに値が取り込まれる。たとえば、スキャンアドレスが‘0000’のフリップフロップ621に‘1’をスキャンインする場合、アドレスデコーダ660により選択されたフリップフロップのアドレス線641が‘1’の値を取り、また、スキャン時はスキャンイネーブル602が‘1’のため、スキャンインデータ601とスキャンイネーブル602のAND611の出力は‘1’となる。フリップフロップ621内のAND素子632はスキャンアドレス641とスキャンイネーブル602とAND素子611の出力を入力し全て値が‘1’であるため、出力値は‘1’となる。フリップフロップ621のデータ入力640からのデータはスキャンイネーブルの反転612とのAND631により常に‘0’である。OR素子633は631と632の出力‘0’、‘1’を入力し‘1’の値を取る。この結果フリップフロップ634のデータは‘1’の値を取る。

【0011】いま、スキャンイネーブルの反転612とスキャンアドレス641のOR638はアドレスの選択により‘1’の値を取る。また、クロック609とOR素子638のAND素子635の出力はクロック1609と同じになる。ここで、クロック1609が入力されるとフリップフロップ634にOR素子633から値が取り込まれる。この動作がスキャンインである。値の設定が必要な全てのフリップフロップにスキャンインした後、クロック610よりクロック2を入力する、すると各フリップフロップセルからスキャンインされた値が出力される。

【0012】次に、通常モードつまり、スキャンイネーブル602を‘0’とし、クロック2610を入力するとフリップフロップ634の値がフリップフロップ636に取り込まれデータ出力639から論理回路にスキャンインされたデータが出力される。通常モードの場合、スキャンイネーブルの反転612が‘1’であるため、OR素子638の値は全てのフリップフロップで‘1’となる。

【0013】また、AND素子631は片側の入力が‘1’であるためもう片側の入力である640の値をそのまま取る。スキャンイネーブル602が‘0’であるためAND素子632の出力は‘0’となるため、631と632を入力する633のOR素子は、631の値を取る、つまりデータ入力640の値となる。ここで、クロック1609を入力すると、AND素子635は片側の入力であるOR素子638が‘1’であるためクロック1の値をそのまま出力し、これにより、フリップ



7

フロップ634は論理回路側からの値を取り込む。このように、スキャンイン後に論理回路からの値を取り込む動作をクロックアドバンスという。

【0014】スキャンアウトを行うときは、まず、クロック2610を入力しフリップフロップ634のデータをフリップフロップ636に設定する。つぎに、スキャンイネーブルを‘1’としスキャンアウトしたいアドレスを選択すればアドレスの選択されたフリップフロップのデータが出力される。このとき、選択されたフリップフロップセル以外のセルはAND素子637により値が10 つねに‘0’になっており、このため、全てのフリップフロップセルのOR650の出力は選択されたフリップフロップセルの値をとる。

【0015】つぎに、この構成で、被検査LSI102にスキャン動作を行う場合について説明する。他の被検査LSI103、104、105についても検査LSIアドレス109、110の値を変えるだけで全く同様にスキャン動作を行う。まず、スキャン/BIST切替信号117の値を‘0’スキャン/通常論理切替信号170の値を‘1’としスキャンモードを選択する。スキャン/BIST切替信号117が‘0’の場合セクタ122、127により、基板の外部よりスキャンアドレス、スキャンデータを入力するための、スキャンアドレス入力111~114、スキャンデータ入力115が選択され、各被検査LSIのスキャンアドレス183、187、191、195、スキャンインデータ184、188、192、196へと出力される。また、検査LSIアドレス109、110より被検査LSI102の検査LSIアドレス‘00’を入力し、この先につながるデコーダ120に入力する、デコーダ120はアドレス30 ‘00’により4本の出力の内1本のみを‘1’とし残りの3本を‘0’とする。デコーダ120の4つの出力はそれぞれ、スキャン/通常論理切替信号170とのAND171、172、173、174につながっている。いま、をスキャン/通常論理切替信号170は‘1’であるため、デコーダ120の出力そのままに、AND素子171の出力のみが‘1’となり、172、173、174の出力は‘0’となる。AND素子171、172、173、174の出力は、スキャン/BIST切替信号117とのOR123、124、125、40 126につながっており、いまスキャン/BIST切替信号117は‘0’であるため、OR素子123の出力のみが‘1’となり、124、125、126の出力は‘0’となる。これらOR素子123、124、125、126はそれぞれ被検査対象LSI102、103、104、105のスキャンイネーブルにつながっており、これにより、LSI通常論理で動作するか、スキャン動作するかを選択する。つまり、スキャン/通常論理切替信号170が‘1’でスキャン/BIST切替信号117‘0’の場合（スキャンモードの場合）、デコ 50

8

ーダ120の出力がそのまま、各被検査LSI102、103、104、105のスキャンイネーブル182、186、190、194の値となる。今回は、OR素子123の出力が‘1’、124、125、126の出力が‘0’となり、被検査LSI102のみが、スキャン動作を行う。また、各、被検査LSI102のスキャンアウトデータ181、185、189、193は、検査制御LSIのスキャンアウトデータセクタ119につながっており、ここで、検査LSIアドレス109、110により、選択されスキャンデータ出力108より出力される。いま、検査LSIアドレス109、110の値は‘00’であるから、スキャンアウトデータ181が選択されスキャンデータ出力108より出力される。

【0016】次に、BISTモードでの動作について説明する。BISTモード時は、スキャン/BIST切替信号117を‘1’としBISTモードを選択、符号圧縮器118の圧縮、取出し切替107を‘1’とし圧縮モードとする。スキャン/BIST切替信号117を‘1’としたことで、セクタ122、127はそれぞれアドレスインクリメンタ121、疑似乱数発生器128を出力する。ここで、アドレスインクリメンタの例を図7に示す。アドレスインクリメンタは必要に応じて次々アドレスをインクリメントするカウンタである。また、疑似乱数発生器は従来の技術と同じく図3のようなLFSRによる乱数発生器である。

【0017】いま、スキャン/BIST切替信号117が‘1’のため、OR素子123、124、125、126の出力がすべて‘1’となるため4つのLSI102、103、104、105が全てのスキャンイネーブル182、184、190、194が‘1’となり、4つのLSIに同時に疑似乱数パタンの配布が可能となる。この状態でテストクロック116が入力されると全LSIのフリップフロップに次々に疑似乱数のパターンが設定されていく。全ての、フリップフロップに疑似乱数パターンをセットし、クロックアドバンスの後、アドレスインクリメンタによりアドレスを送出し、スキャンアウトを行う。スキャンアウトデータ181、185、189、193は検査制御LSI101の符号圧縮器118につながっている。符号圧縮器では並列に読み込んだスキャンアウトデータをLSI数の単一入力線形フィードバックレジスタ（以下SISR-Single Input Signature register）で圧縮する、圧縮器の動作については後ほど説明する。スキャンアウトが全て終了、つまり、符号圧縮器にて全てのフリップフロップからのデータ圧縮が終わると、1つのテストボタンが完了する。実際のテストは、多数のテストボタンでを用いて行われるために、これら、BISTモードとクロックをコントロールする論理が付加され、外部からはクロックの入力だけで次々と疑似乱数パターンをLSIに付加し、検査を行う。

9

【0018】BISTで全てのテストパターンを完了後、圧縮／取出し切替107を‘0’とし、圧縮されたテスト結果を106より取り出し、期待値照合を行い良否判定を行う。ここで、この実施例の符号圧縮器の構造を図8を用いて説明する、尚、図8では単純化のためSISR内のフリップフロップのリセット、及びクロックは省略する。まず、圧縮／取出し切替802が‘1’の場合、セクタ816～819は各LSIからのスキャンアウトデータ803～806を選択し、SISR811～814はLSIのスキャンアウトデータ803～806を入力する。この状態で、クロックを入力すると、各SISRが動作しスキャンアウトデータを取込み、圧縮する。テスト完了後、圧縮／取出し切替802を‘0’とする。この状態では、セクタ816～819は全て前段のSISRの出力を読み込むようになり、また、AND素子821～824により、各SISRのフィードバックループストップさせ、全てのSISRをつなげたループ状のシフトレジスタとなる。圧縮／取出し切替802を‘0’としたまま、順次クロックを入力すると、各SISRのデータが圧縮符号801として取り出される。このとき、取り出されたデータはセクタ819を通過してSISR4に入力され、再びこのループ状のシフトレジスタに入るため、全てのデータを取り出したときこの各SISRは取り出し開始前と全く同じ状態となる。再び、テストの続きを行う必要があれば、圧縮／取出し切替802を‘1’とし、テストデータの圧縮を行う。つまり、中断、継続実行を繰り返しながら、BISTを行うことが可能であり、テストパタンのどの部分で不良が発生したか知ることができ、不良解析容易となる。

【0019】別の実施例として図9に示す構成のLSIのBISTについて説明する。図9のLSIの検査容易化のための論理は、並列に疑似乱数を発生する乱数発生器911と、この、乱数発生器より検査データをスキャンインする境界スキャン913 (Boundary scan IEEE P1149.1で規格化) とシフトスキャン914、これら、境界スキャン913、シフトスキャン914からデータを入力し、圧縮する多入力の符号圧縮器などから構成される。この回路でBISTの中断、継続実行を可能とするための、多入力符号圧縮器912 (以下MISR-Multi Input Signature Register) の例を図10に示す、図10の例は12BITのLFSRによる4入力符合圧縮器である。図10のMISRで、取出し切替1011を‘0’とし、圧縮モードでBISTを行う、このとき、反転素子1020の出力は‘1’となり、AND素子1021、1022、1023、1024はそれぞれ、シフトチェインからのデータをMISRに出力する。反転1026のためAND素子1027の出力は‘0’となりAND素子1025の出力がMISRのフ

10

ィードバックループとなる。このため、この回路は通常のMISRとしてシフトチェインからのデータの圧縮動作をする。また、取出し切替1011を‘1’とし、符号取り出しモードの時は、AND素子1021、1022、1023、1024、1025はすべて‘0’固定となるため、この回路は、ループ状につながった単純なシフトレジスタとして動作する。図10の場合12段のフリップフロップで構成されているため、符号取り出しモードで12回クロックを入力すると、圧縮符号が取り出され、MISR内のデータも取りだし前の状態になる。

【0020】

【発明の効果】本発明によれば、複数LSIを搭載した基板におけるBIST制御部分を1つにまとめ、かつ、複数のLSIを同時に検査する論理回路に、これらのLSIの検査結果を格納する符合圧縮器を複数搭載しているため、故障の発生したLSIを特定可能とし、不良解析を容易にする。また、BIST制御部分に一つの制御入力を設け、符合圧縮モード、データ取り出しモードの2つのモードで切り替え可能とし、データ取り出しモードのとき、全符合圧縮器で一つのループ状のシフトレジスタを形成し、データ取り出し後も符合圧縮器の内容の破壊を防ぐようにしているため、BISTの中断および継続実行を可能としており、これにより、BISTの膨大なテストパタンのどのあたりで故障が発生したか知ることを可能とし、不良解析を容易にする。

【図面の簡単な説明】

【図1】本発明の実施例の全体構成を示す図である。

【図2】BISTの基本的な構成を示す図である。

【図3】シフトスキャン回路の一例を示す図である。

【図4】線形フィードバックレジスタによる疑似乱数発生器の一例を示す図である。

【図5】線形フィードバックレジスタによるシグネチャアナライザの一例を示す図である。

【図6】図1の構成におけるランダムアクセススキャンコントロール回路の一例を示す図である。

【図7】4ビットアドレスインクリメンタの一例を示す図である。

【図8】SISRを用いた非破壊シフトレジスタを構成する多入力符合圧縮器を示す図である。

【図9】シフトスキャンを用いたBISTの一例を示す図である。

【図10】MISRを用いた非破壊シフトレジスタを構成する多入力符合圧縮器を示す図である。

【符号の説明】

100 複数LSI搭載基板

101 検査制御LSI

102～105 検査対象LSI

119、122、127、132、134、136、1

38 セクタ

11  
 120 デコーダ  
 121 アドレスインクリメンタ  
 128 乱数発生器  
 131、133、135、137 SISR

12  
 \*151 ランダムアクセススキャンコントロール回路  
 152 フリップフロップ  
 621~629 フリップフロップ

【図1】

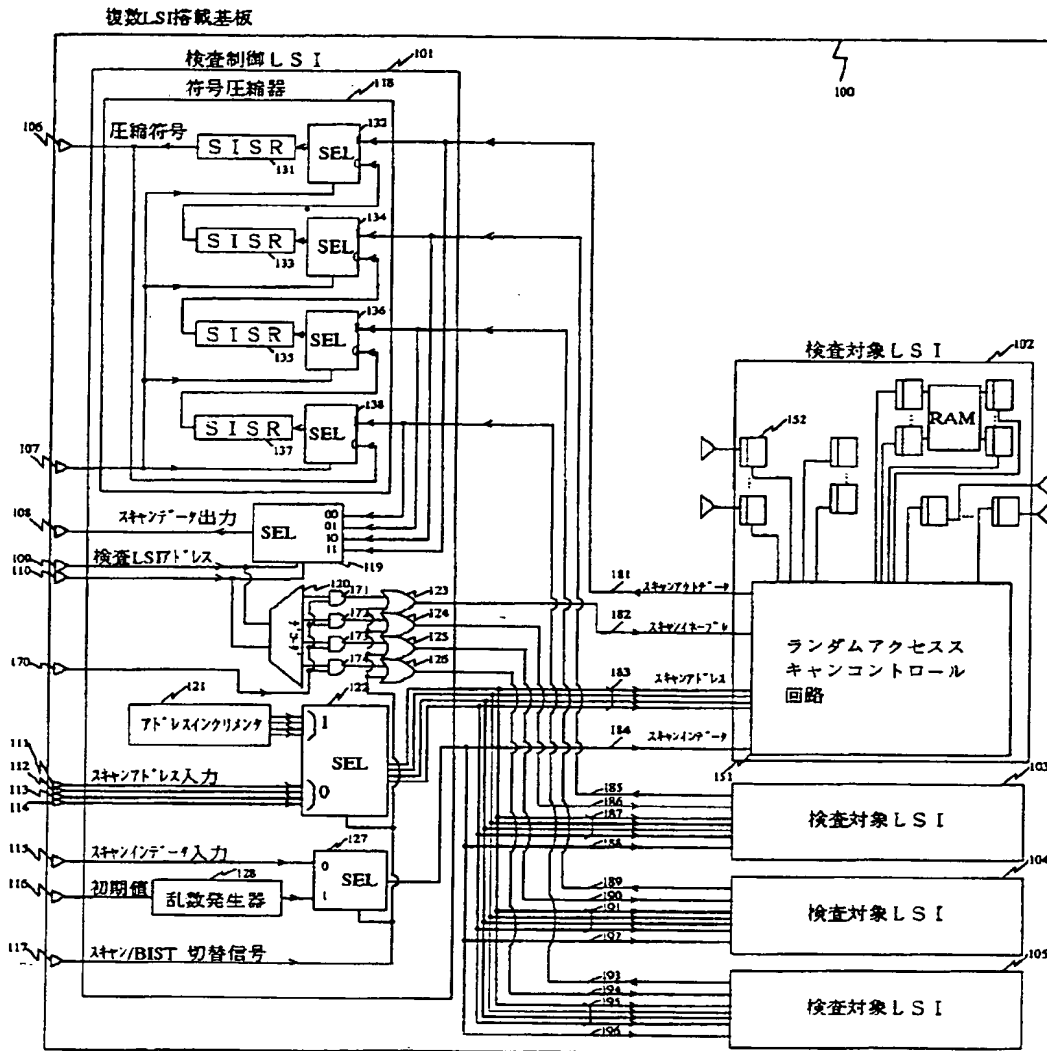


図1

【図 2】

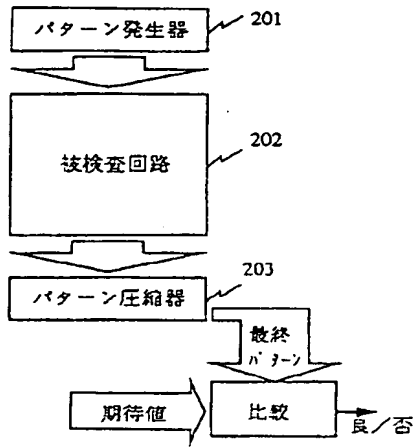


図 2

【図 3】

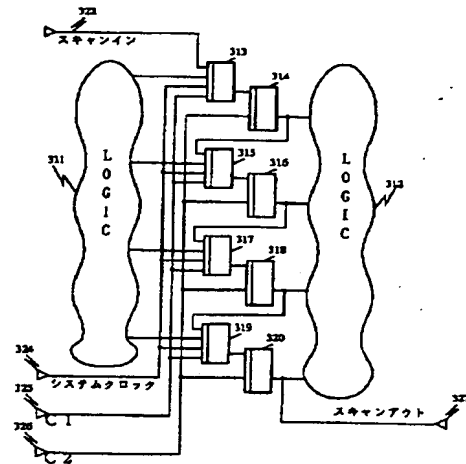


図 3

【図 4】

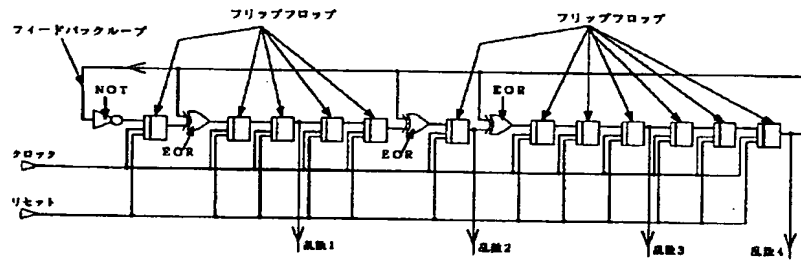


図 4

【図 9】

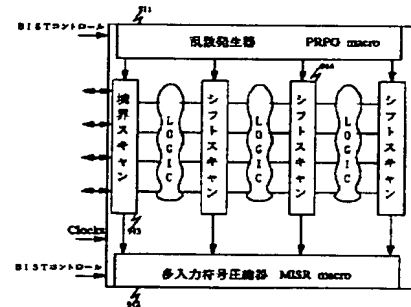


図 9

【図 5】

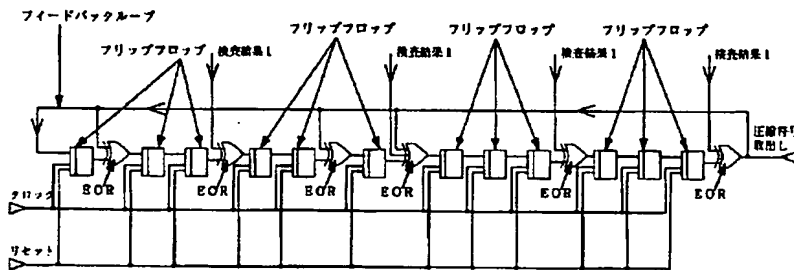


図 5

【図 6】

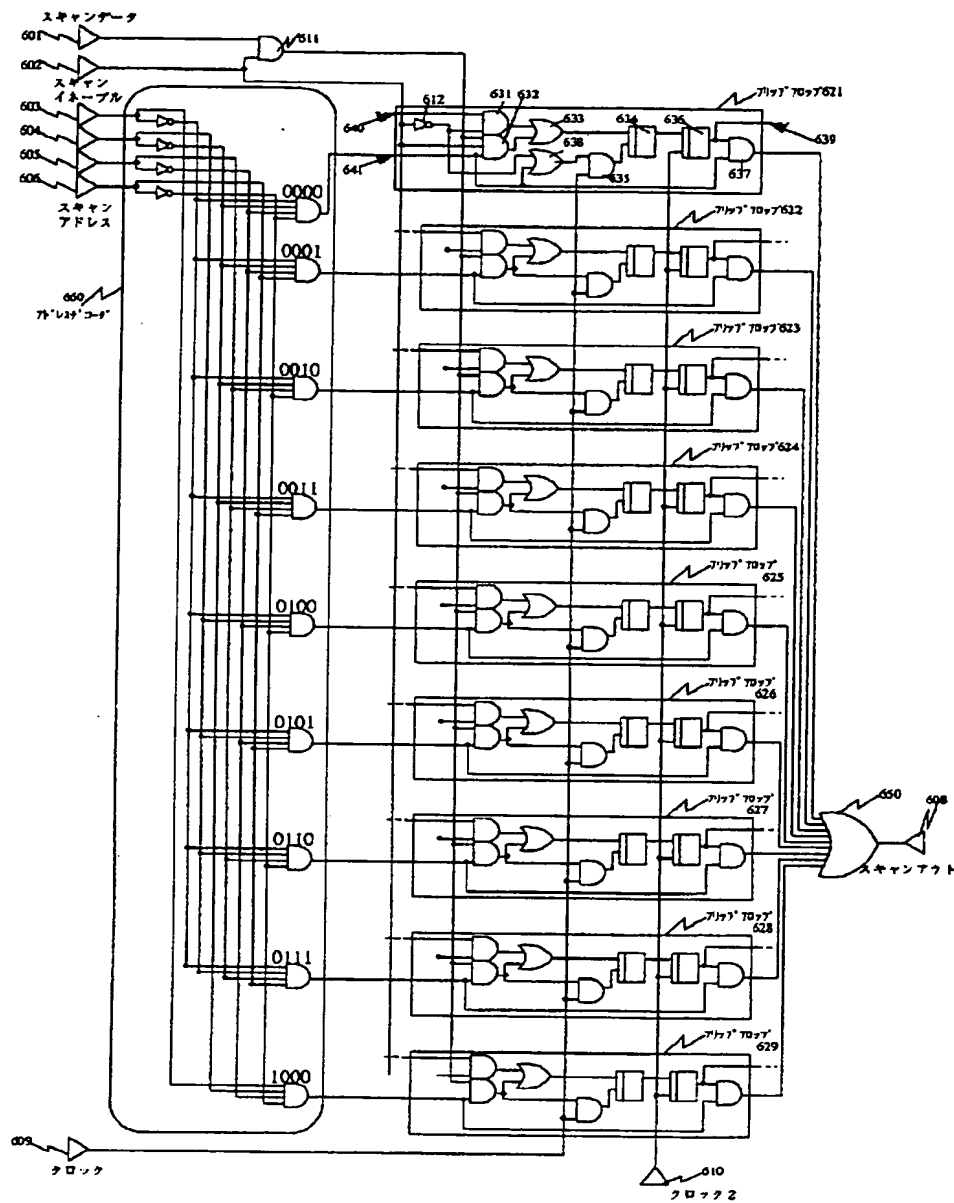


図 6

